



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 4 日
Date of Application:

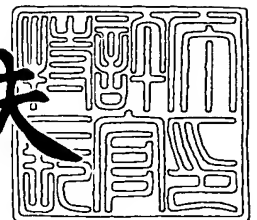
出 願 番 号 特 願 2 0 0 3 - 1 2 0 5 9 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 2 0 5 9 2]

出 願 人 N E C 液 晶 テ ク ノ ロ ジ ー 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 7 1 5 3

【書類名】 特許願

【整理番号】 74610675

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133 550
G09G 3/20 611
G09G 3/20 622

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C 液晶テクノロジー株式会社内

【氏名】 武田 広

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
本電気株式会社内

【氏名】 山口 真智彦

【特許出願人】

【識別番号】 303018827

【氏名又は名称】 N E C 液晶テクノロジー株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0305496

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 液晶パネルを構成する互いに直交配置された複数のゲートラインおよび複数のドレインラインをそれぞれゲートドライバおよびソースドライバにより駆動して前記液晶パネルの表示を行う液晶表示装置において、駆動される前記ゲートラインの前記ソースドライバからの幾何学的距離に応じて、前記ゲートラインに対応するラインの書き込み時間を 1 フレーム期間内で順次増大させるクロック制御手段を有することを特徴とする液晶表示装置。

【請求項 2】 各ラインの書き込み時間の総和が、入力信号の 1 フレーム時間を超えないようにした請求項 1 記載の液晶表示装置。

【請求項 3】 ゲートドライバを駆動するゲートドライバシフトクロックの周期を、1 フレーム期間内で最初のゲートラインの周期から順次増大させることにより、各ゲートラインに対応するラインの書き込み時間が制御されるようにした請求項 1 または 2 記載の液晶表示装置。

【請求項 4】 ゲートドライバの動作をオン・オフ制御するゲートドライバ出力イネーブル信号として、1 フレーム期間内で所定の最大書き込み時間が最終ゲートラインに対応するラインの書き込み時間となるようにして、その前段のゲートラインに対応するラインの書き込み時間が順次減少するよう制御されるようにした請求項 1 または 2 記載の液晶表示装置。

【請求項 5】 ゲートドライバを駆動するゲートドライバシフトクロックの周期を、1 フレーム期間内で途中のゲートラインの周期から順次増大させて、各ゲートラインに対応するラインの書き込み時間を制御し、かつゲートドライバ出力イネーブル信号として、1 フレーム期間内で所定の最大書き込み時間が前記途中のゲートラインに対応するラインの書き込み時間となるようにして、それから前段のゲートラインに対応するラインの書き込み時間が順次減少するよう制御されるようにした請求項 1 または 2 記載の液晶表示装置。

【請求項 6】 液晶パネルを構成する互いに直交配置された複数のゲートラインおよび複数のドレインラインをそれぞれゲートドライバおよびソースドライ

バにより駆動して前記液晶パネルの表示を行う液晶表示装置の駆動方法において、前記ゲートラインに対応するラインの書き込み時間を、入力信号の無効期間（非表示期間）まで使用して、信号線の配線遅延によって発生する遅延時間の差を相殺するように、駆動される前記ゲートラインの前記ソースドライバからの幾何学的距離に応じて、前記ゲートラインに対応するラインの書き込み時間を 1 フレーム期間内で順次増大させることにより、前記ゲートライン間の書き込み不足による同一画面内輝度差を少なくしたことを特徴とする液晶表示装置の駆動方法。

【請求項 7】 各ラインの書き込み時間の総和が、入力信号の 1 フレーム時間を超えないようにした請求項 6 記載の液晶表示装置の駆動方法。

【請求項 8】 ゲートドライバを駆動するゲートドライバシフトクロックの周期を、1 フレーム期間内で最初のゲートラインの周期から順次増大させることにより、各ゲートラインに対応するラインの書き込み時間を制御する請求項または 7 記載の液晶表示装置の駆動方法。

【請求項 9】 ゲートドライバの動作をオン・オフ制御するゲートドライバ出力イネーブル信号として、1 フレーム期間内で最大書き込み時間が最終ゲートラインに対応するラインの書き込み時間となるようにして、その前段のゲートラインに対応するラインの書き込み時間を順次減少するよう制御する請求項 6 または 7 記載の液晶表示装置の駆動方法。

【請求項 10】 ゲートドライバを駆動するゲートドライバシフトクロックの周期を、1 フレーム期間内で途中のゲートラインの周期から順次増大させて、各ゲートラインに対応するラインの書き込み時間を制御し、かつゲートドライバ出力イネーブル信号として、1 フレーム期間内で所定の最大書き込み時間が前記途中のゲートラインに対応するラインの書き込み時間となるようにして、それから前段のゲートラインに対応するラインの書き込み時間を順次減少するよう制御する請求項 6 または 7 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置およびその駆動方法に関し、特にその画面表示の明る

さを均一にした液晶表示装置およびその駆動方法に関する。

【0002】

【従来の技術】

一般に薄型の画像表示装置としては、液晶表示装置がある。この液晶表示装置は、液晶間に電圧を印加し、液晶分子の向きを変え、光の透過率を制御することにより階調表現を行っている。

【0003】

図8は従来例の液晶表示装置のブロック図である。この液晶表示装置9は、信号処理回路となるタイミング回路1a、ソースドライバ2、ゲートドライバ3、LCDパネル4から構成されている。タイミング回路1aは、画像データやタイミング信号をソースドライバ2、ゲートドライバ3が駆動できるように処理を行う。ソースドライバ2は、タイミング回路1aから入力されたデータを変換し、LCDパネル4を駆動するに画像データ電圧を出力する。

【0004】

ゲートドライバ3は、LCDパネル4のTFT（後述）をON/OFFするための制御信号を出力する。ドレインライン5とゲートライン6は、LCDパネル4を構成する一つであり、ドレインライン5はソースドライバ2の出力と接続され、ゲートライン6はゲートドライバ3の出力と接続される。ソースドライバから最も近いゲートラインを1ライン目ゲートライン7、ソースドライバから最も遠いゲートラインをNライン目ゲートライン8とする。タイミング回路1aにはDE（データイネーブル）21等の同期信号等が入力され、タイミング回路1aからはソースドライバ2、ゲートドライバ3を制御するためのDLP（データラッチパルス）信号22、VCK（ゲートドライバクロック）信号23、等が出力される。VCK信号23はゲートドライバ3のクロック信号であり、DLP信号22はソースドライバ2を制御する信号の1つである。

【0005】

LCDパネル4の液晶に電圧を印加する時間（＝書き込み時間）は、液晶表示装置9の解像度、フレーム周波数（一秒間当りのリフレッシュ回数）、ライン周波数により決定される。

【0006】

図9は図8の動作タイミングを説明する波形図である。図9において、DE信号21は液晶表示装置9に入力される同期信号であり、その期間Aは1ライン期間であり、その出力がハイレベル(H)となる”H”期間はラインの有効期間(表示期間)であり、その出力がロウレベル(L)となる”L”期間はラインの無効期間(非表示期間)である。また、期間Bは1フレーム期間の有効期間であり、期間Cはフレームの無効期間である。DLP信号22は信号処理回路1aより出力され、ソースドライバ2を制御するための信号の一つであり、立下りエッジで出力を行うソースドライバ2を使用した場合の信号である。VCK信号23はタイミング回路1aより出力されるゲートドライバ3用のクロックであり、立ち上がりエッジでゲートON, OFFを行うゲートドライバを使用した場合の信号である。

【0007】

LCDパネルへ4の書き込み時間は、DLP信号22の立下り(書き込み開始)からVCK信号23の立ち上がり(ゲートOFF)までである。この時、書き込み時間Xはライン期間Aより短く、書き込み時間Xを一定としているためフレームの無効期間(非表示期間)Cには書き込み動作は行われない。

【0008】

一般に、画面のフリッカ(ちらつき)防止のために、解像度に関係なくフレーム周波数をある値以上にするためにライン周波数を変化させている。つまり、解像度が上がれば上がる程、ライン周波数は上がり、書き込み時間は短くなる(フレーム周波数はほぼ固定)。また、ソースドライバ2からドレインライン5への出力波形はドレインラインの配線負荷の影響やパネルの大型化により、ソースドライバ側から離れる程鈍ってしまう。

【0009】

図10は図9における各ゲートライン(1ライン目からNライン目)の画素電極電位と書き込み時間の関係を示す特性図であり、横軸は1ラインの書き込み時間(X=一定)を示し、縦軸はあるラインにおける画素電極電位を示す。すなわち、ソースドライバ2に最も近い1ライン目ゲートライン7では、その立上り時

間が早い、ソースドライバ2に最も遠いNライン目ゲートライン8では、その立上り時間が遅くなるため、1ラインの書込み時間Xが一定の場合には、ソースドライバ2から遠いゲートラインで書込み電位が低くなる。

【0010】

従って、ある条件下では、図11(b)の電位図に示す様に、書き込み時間内に所望の画素電位まで到達することができなくなる画素が発生することになり、この場合には、画素電位はソースドライバ2から離れる程、所望の電位まで到達しなくなる。従って、図11(a)の表示イメージ図に示す様に、ソースドライバ2の側からの間隔が離れる程、LCDパネル4の画面が暗くなる現象を生ずることになる。

【0011】

図12は図8の動作を補足説明する類似の液晶表示装置のブロック図であり、図13はその動作波形図である。この液晶表示装置は、走査線間の輝度差により発生する横縞をなくすために工夫したもので、技術内容は異なるが、タイミング信号等の説明が本発明に関係があるものである（例えば、特許文献1参照）。

【0012】

図12において、行方向に走るゲートライン6は、ゲート $6n+1$, ..., $6n+m$ および列方向に走るドレインライン5がそれぞれ配線されている。このうち各ゲートライン6はそれぞれ走査線に対応し、また、ドレインライン5には液晶パネル4上で画面表示を行うための映像データが供給される。このため、ドレインライン5はデータ線とも呼ばれる。そしてゲートライン6及びドレインライン5が互いに交差する位置には画素がマトリクス状に配置されている。

【0013】

これらの各画素はTF T11および液晶セル12によって構成され、このうちTF T11のゲート端子、ドレイン端子、ソース端子はそれぞれゲートライン6、ドレインライン5、液晶セル12の一端に接続されている。一方、液晶セル12はその一端がTF T11のソース端子に接続され、その他端がコモン電極13に接続されている。この液晶セル12は1ドット分の表示を行うほか、ソースドライバ2からドレインライン5を通じて供給される書き込み電圧を保持するため

の容量を構成している。

【0014】

ここで液晶セル12を通過する光の透過率は印加される書き込み電圧のレベルに応じて変化するため、この性質を利用して書き込み電圧のレベルを適宜変えてやれば、画素の輝度を所望の状態に設定することができる。また、コモン電極13には一定電圧として例えば7Vが印加されており、この一定電圧を基準にして液晶セル12に対する書き込み電圧の極性（正極性または負極性）が定まる。例えば、正極性の書き込み電圧を8～13V、負極性の書き込み電圧を1～6Vとしており、各極性においてコモン電極13の電位7Vからの差電圧（1V～6V）の範囲内で画素の輝度を変えられる。

【0015】

そして何れかのゲートライン6に駆動電圧を印加してこれに接続されたTFT11をオンさせれば、ドレインライン5を通じて供給される映像データの書き込み電圧が、各TFT11に接続された液晶セル12の容量に印加されて該容量に電荷が書き込まれてゆく。また、ゲートラインに駆動電圧が印加されなくなってTFT11がオフしても、液晶セル12は再び書き込みが行われるまでの1フレームの期間中は書き込み電圧を保持しており、この保持電圧によって液晶パネル4上の表示が継続的に行われる。

【0016】

なお、液晶パネル4は対向する2枚のガラス基板を備えており、これらガラス基板の間に液晶が封入されている。そして一方のガラス基板には、TFT11が配置されるとともにゲートライン6n等およびドレインライン5が配線されている。また、他方のガラス基板にはフィルタとコモン電極6が配置され、液晶表示装置がカラーであればフィルタとしてRGBの3原色のカラーフィルタが設けられる。

【0017】

ゲートドライバ3は走査線方向の駆動を受け持っており、信号処理回路1aから供給されるゲートドライバクロック信号VCK23に同期して駆動されるシフトレジスタにより、パルス状の駆動電圧（以下「ゲートパルス信号」という）を

ゲートライン 6 n 等に順番に供給してこれらゲートラインを線順次駆動する。従って、ゲートドライバ 3 が各ゲートラインにゲートパルス信号を印加している期間（つまり、ゲートパルス信号のパルス幅）が、液晶セル 12 に対する書き込み期間となる。

【0018】

また、ゲートドライバ 3 はタイミング回路 1 a から供給される出力イネーブル信号 VOE 24 a に応じて、ゲートライン 6 へゲートパルス信号を供給するかどうかを制御している。すなわち、出力イネーブル信号 VOE 24 a が “L” であればゲートドライバ 3 はゲートライン 6 へゲートパルス信号を印加し、出力イネーブル信号 VOE 24 a が “H” であればゲートパルス信号を印加しない。

【0019】

次にタイミング回路 1 a はラッチパルス信号 DLP 22, クロック信号 VCK 23, 出力イネーブル信号 VOE 24 a, 映像データをそれぞれ生成し、これらをクロック信号と共にゲートドライバ 3 及びソースドライバ 2 に送出することによって液晶パネル 4 上における画面表示を制御するようにしている。

【0020】

次に、ソースドライバ 2 はシフトレジスタ, ラッチ及びドライバ回路（いずれも図示を省略）を内蔵し、これらシフトレジスタ等は何れも 1 走査線分の映像データ（例えば、1280 ドット分）に対応した構成となっている。そしてソースドライバ 2 は、タイミング回路 1 a から供給されるスタートパルス信号 SP 及びドットクロック信号 DCK に基づいて、スタートパルス信号 SP に与えられたパルスの立ち上がり時点からドットクロック信号 DCK に従って映像データを 1 画素ずつ順次シフトレジスタに取り込んでゆく。

【0021】

そしてソースドライバ 2 は 1 走査線分の映像データを取り込んだ時点でシフトレジスタへの取り込みを停止させる。また、ソースドライバ 2 は信号処理回路 1 a からラッチパルス信号 DLP のパルスが供給された場合に、その立ち上がり同期してシフトレジスタに取り込んでおいた全ての映像データを同時にラッチへ転送する。さらに、ソースドライバ 2 をラッチパルス信号 DLP の立ち下がりに

同期して、ラッチに転送された映像データを液晶セル 12 に対する書き込み電圧に変換してドレインライン 5 へ同時に送出する。

【0022】

この液晶表示装置の動作は、図 13 のタイミング図のようになる。また、図 13 ではドレインライン波形の図示を簡単にするために画面上でベタ表示を行った場合について示している。この回路においても、直前のフレームでは n ライン及び $n+1$ ラインの何れもが負極性の書き込み電圧で駆動されており、図 13 に示したタイミングのフレームではこれら両ラインが何れも正極性の書き込み電圧で駆動されるものとする。

【0023】

図 13 において、「ドライバ入力データ」はタイミング回路 1a からソースドライバ 2 に供給される映像データであって、1 水平期間に相当する時間 T （例えば、60 Hz の場合では $15.6 \mu s$ ）を周期として 1 走査線分の映像データが供給される。この 1 水平期間は有効期間および無効期間から構成され、例えば有効期間は $11.9 \mu s$ 、無効期間は $3.7 \mu s$ である。この有効期間は実際に映像データが供給される期間であり、また、1 走査線上にある 1280 ドットの映像データをこの有効期間内に取り込むために、上述したドットクロック DCK の周波数は約 108 MHz に設定してある。

【0024】

一方、無効期間は CRT ディスプレイ等で用いられている水平帰線消去期間に相当するものであって、液晶表示装置では本来必要のない期間ではあるが、CRT ディスプレイとの互換性をとるために設けてある。そして、スタートパルス信号 SP に与えられたパルスの立ち上がりが有効期間の始まりで、この有効期間が終了した時点から無効期間が始まる。また、スタートパルス信号 SP の立ち上がりから時間 T だけ経過して再びスタートパルス信号 SP にパルスが与えられるようになると新たな有効期間が始まる。

【0025】

まず時刻 t_1 以前ではソースドライバ 2 が n ラインの映像データをドットクロック信号に従って取り込んでいる。そして時刻 t_1 になるとタイミング回路 1a

はゲートドライバクロック信号 VCK にパルスが発生させる。すると、ゲートドライバ 7 はクロック信号 VCK の立ち上がり同期してゲートパルス信号をシフトさせる。

【0026】

これによって、本来であればゲートドライバ 3 はゲートライン 6 n に供給する駆動電圧を立ち上げることになる。ところがこの場合、タイミング回路 1 a は出力ネーブル信号 /VOE 24 a として時間 E の幅を持ったパルスを同時刻 t 1 から発生させている。このため、ゲートドライバ 3 はゲートライン 6 n に対するゲートパルス信号の供給を停止して、図 13 に示したように n ラインゲート波形を“L”のまま維持する。

【0027】

次に時刻 t 2 でタイミング回路 1 a はラッチパルス信号 DLP 22 にパルスが発生させる。このときタイミング回路 1 a からソースドライバ 2 に供給される映像データは有効期間から無効期間に移行するため、ソースドライバ 2 は映像データをシフトレジスタへ取り込むのを止めて、これら n ライン上の映像データをシフトレジスタからラッチへ転送する。なお、クロック信号 VCK 23 が立ち上がってからゲートライン波形が立ち下がりきるまでにはある程度の時間を要する（例えば、時刻 t 6 以降の n ラインゲート波形を参照）。このためクロック信号 VCK 23 の立ち上がりを DLP 信号 22 の立ち下がりよりも前にしておかないと、次のラインの映像データを取り込んでしまう。そのため図 13 では若干の余裕を持たせて、クロック信号 VCK 23 の立ち下りを DLP 信号 22 の立ち上がりよりも一定時間だけ前にしている。

【0028】

次に時刻 t 3 でタイミング回路 1 a がラッチパルス信号 DLP 22 を立ち下げると、この立ち下げに同期して、ソースドライバ 2 内のドライバ回路はラッチ内の映像データに対応した正極性の書き込み電圧をドレインライン 5 へ送出する。ここで、この時点までドレインライン 5 は負極性の書き込み電圧になっていたため、正極性の書き込み電圧が新たに印加されることでドレインライン 5 の持つ容量に対する充電が始まる。この結果、図に示したようにドレインライン波形

が時刻 t_3 から徐々に立ち上がってゆき、時刻 t_4 になるとドレインライン 5 の電圧がソースドライバ 2 から出力された書き込み電圧に達する。

【0029】

一方、タイミング回路 1a は、時刻 t_1 から予め決めておいた時間 E が経過するのを監視しており、これに対応した時刻 t_4 で出力イネーブル信号 /VOE 24a のレベルを “L” に戻す。これにより、ゲートドライバ 3 のゲートライン 6n に対するゲートパルス信号の印加を開始させるため、「n ラインゲート波形」が立ち上がる。その結果、ゲートライン 6n に接続された TFT 11 が何れもオンとなって、これら TFT に接続された液晶セル 12 に対してドレインライン 5 から供給される正極性の書き込み電圧で書き込みが行われる。ここでの時間 E は本発明とは関係ないため説明を省略する（例えば、特許文献 1 参照）。

【0030】

なお、単純マトリックス駆動方式の液晶表示装置では、走査電極に対して一方の端部から走査電圧が印加されるために、表示画面の大型化にともなって走査電極が長くなると、1 本の走査電圧に印加される電圧がその長手方向にそって順次低下し、各信号電極と交差する部分において液晶層に印加される電圧に差が発生し、その結果、1 本の走査電極にて駆動される液晶部分には、走査側駆動回路から離れるにつれて、輝度差が発生するグラデーション現象を生じる。このグラデーション現象の発生を抑制した液晶表示装置として、非表示期間において、各信号電極 X1 ~ XN が各走査電極 Y1 ~ YM の一方端から他方端に向かって順番に交差する各信号電極 X1 ~ XN に対して補正電圧を、印加時間が順次長くなるように、それぞれ印加するようにしたものもある（例えば、特許文献 2 参照）。

【0031】

【特許文献 1】

特願 2001-215469 号

【特許文献 2】

特願 2002-182616 号

【0032】

【発明が解決しようとする課題】

上述した従来例のように、液晶表示装置の解像度が上がれば上がる程、ライン周波数は上がり、書き込み時間は短くなる（フレーム周波数はほぼ固定）。また、ソースドライバ2からドレインライン5への出力波形はドレインラインの配線負荷の影響により、ソースドライバ側から離れる程鈍ってしまう。この画素電位は、ソースドライバ2から離れる程、所望の電位まで到達しなくなる。従って、図11の表示イメージ図に示す様に、ソースドライバ2側からの間隔が離れる程、LCDパネル4の画面が暗くなる現象を生ずることになる。

【0033】

また、他の従来例では、アナログ的な補正電圧を印加する回路であるため、その回路調整が容易ではないという問題がある。

【0034】

本発明の目的は、これらの問題を解決し、液晶パネルの信号線の配線遅延によって発生する、同一画面内の輝度差を最小にし、高品質の表示画面を得る液晶表示装置およびその駆動方法を提供することにある。

【0035】

【課題を解決するための手段】

本発明の構成は、液晶パネルを構成する互いに直交配置された複数のゲートラインおよび複数のドレインラインをそれぞれゲートドライバおよびソースドライバにより駆動して前記液晶パネルの表示を行う液晶表示装置において、駆動される前記ゲートラインの前記ソースドライバからの幾何学的距離に応じて、前記ゲートラインに対応するラインの書き込み時間を1フレーム期間内で順次増大させるクロック制御手段を有することを特徴とする。

【0036】

また、本発明の駆動方法の構成は、液晶パネルを構成する互いに直交配置された複数のゲートラインおよび複数のドレインラインをそれぞれゲートドライバおよびソースドライバにより駆動して前記液晶パネルの表示を行う液晶表示装置の駆動方法において、前記ゲートラインに対応するラインの書き込み時間を、入力信号の無効期間（非表示期間）まで使用して、信号線の配線遅延によって発生する遅延時間の差を相殺するように、駆動される前記ゲートラインの前記ソースド

ライバからの幾何学的距離に応じて、前記ゲートラインに対応するラインの書き込み時間を 1 フレーム期間内で順次増大させることにより、前記ゲートライン間の書き込み不足による同一画面内輝度差を少なくしたことを特徴とする。

【0037】

本発明において、各ラインの書き込み時間の総和が、入力信号の 1 フレーム時間を超えないようにすることができ、また、ゲートドライバを駆動するゲートドライバシフトクロックの周期を、1 フレーム期間内で最初のゲートラインの周期から順次増大させることにより、各ゲートラインに対応するラインの書き込み時間が制御されるようにし、また、ゲートドライバの動作をオン・オフ制御するゲートドライバ出力イネーブル信号として、1 フレーム期間内で所定の最大書き込み時間が最終ゲートラインに対応するラインの書き込み時間となるようにして、その前段のゲートラインに対応するラインの書き込み時間が順次減少するよう制御することができる。

【0038】

さらに、本発明において、ゲートドライバを駆動するゲートドライバシフトクロックの周期を、1 フレーム期間内で途中のゲートラインの周期から順次増大させて、各ゲートラインに対応するラインの書き込み時間を制御し、かつゲートドライバ出力イネーブル信号として、1 フレーム期間内で所定の最大書き込み時間が前記途中のゲートラインに対応するラインの書き込み時間となるようにして、それから前段のゲートラインに対応するラインの書き込み時間が順次減少するよう制御するようにすることができる。

【0039】

本発明の構成によれば、書き込み時間として入力信号の無効期間（非表示期間）まで使用して、ライン毎の書き込み時間を、信号線の配線遅延によって発生する遅延時間の差を相殺するように変化させることにより、ライン間の書き込み不足による同一画面内輝度差を最小にしたことを特徴とする。

【0040】

【発明の実施の形態】

図 1 は本発明の第 1 の実施形態のアクティブマトリクス型液晶表示装置の動作

を説明する波形タイミング図、図2は図1の第1の実施形態の概略的な構成を示すブロック図、図3は図1のゲートライン6の数がNライン時の各ラインの画素電極電位と書き込み時間との関係を説明する波形図である。図2に示す本実施形態の液晶表示装置9は、従来例の図8または図12と同様に、信号処理回路1、ソースドライバ2、ゲートドライバ3、LCDパネル4から構成され、信号処理回路1により、画像データやタイミング信号をソースドライバ2、ゲートドライバ3が駆動される。この信号処理回路1は、従来例と同様のタイミング回路1aに対し、VCK（ゲートドライバクロック）信号23のタイミングが調整されたVCK回路1bが追加され構成される。

【0041】

ソースドライバ2は、信号処理回路1から入力されたデータを変換し、LCDパネル4を駆動する画像データ電圧を出力する。ゲートドライバ3は、LCDパネル4のTFT（図示せず）をON/OFFするための制御信号を出力する。ドレインライン5とゲートライン6はLCDパネル4を構成する一つであり、ドレインライン5はソースドライバ2の出力と接続され、ゲートライン6はゲートドライバ3の出力と接続される。

【0042】

本実施形態では、ソースドライバ2から最も近いゲートライン6を1ライン目ゲートライン7、ソースドライバ6から最も遠いゲートラインをNライン目ゲートライン8とする。信号処理回路1にはDE信号21等の同期信号が入力され、信号処理回路1からはソースドライバ2、ゲートドライバ3を制御するためのVCK信号23a、DLP（データラッチパルス）信号22が出力される。VCK信号23aはゲートドライバ3のクロック信号であり、DLP信号22はソースドライバ2を制御する信号の1つである。

【0043】

本実施形態の動作タイミングの説明をする。図1のタイミング図において、DE信号21は、液晶表示装置9に入力される同期信号で、このDE信号21において、期間Aは1ライン期間を示し、“H”期間はラインの有効期間（表示期間）であり、“L”期間はラインの無効期間（非表示期間）である。また、期間B

は1フレーム期間の有効期間であり、期間Cはフレームの無効期間である。DLP信号22は信号処理回路1より出力され、ソースドライバ2を制御するための信号の一つであり、立下りエッジで出力を行うソースドライバ2を使用した場合の信号である。VCK信号23aは信号処理回路1より出力されるゲートドライバ3用のクロックであり、その立ち上がりエッジでゲートON, OFFを行うゲートドライバを使用した場合の信号である。

【0044】

LCDパネル4への書き込み時間はDLP信号22の立下り（書き込み開始）からVCK信号23aの立ち上がり（ゲートOFF）までである。本実施形態のVCK信号23aは、従来例のVCK信号23の書き込み時間Xが一定であるのに対して、1ライン目の書き込み時間をX、2ライン目の書き込み時間を $X + \alpha_1$ 、Nライン目の書き込み時間を $X + \alpha_{N-1}$ とし、フレームの無効期間Cまで使用することにより、書き込み時間（ $X + \alpha_n : \alpha_1 \leq \alpha_2 \leq \dots \alpha_{N-2} \leq \alpha_{N-1}$ ）がソースドライバ2から遠くなるに従って長くなるようにする。また、1フレームの書き込み時間の総和を1フレーム期間（B+C）内に収めるようにするものである。

【0045】

この場合、例えば、1ライン期間AがGクロック（clk）あり、1フレーム期間がMラインあったとすると、無効期間Cは（M-N）ライン分ということになる。従って、 $(M-N) \times G$ が無効期間Cの総clk数となる。これを $\sum \alpha_{n-1} = (M-N) \times G$ となるように割り振ればよい。

【0046】

すなわち、図3の電極電位と書き込み時間との関係に示す波形図のように、ソースドライバ2に最も近いラインを1ライン目（7）、ソースドライバ2から最も遠いラインをNライン目（8）とし、1ライン目の書き込み時間をX、2ライン目の書き込み時間を $X + \alpha_1$ 、Nライン目の書き込み時間を $X + \alpha_{N-1}$ とし、書き込み時間を $X \leq X + \alpha_1 \leq \dots \leq X + \alpha_{N-1}$ となるようにする。また、1ライン目～Nライン目の書き込み時間の総和は1フレーム期間内に収めるようにする。

。

【0047】

このようなVCK信号23aをつくるVCK回路1bは、VCK信号23に対して、例えば α を1クロックとして、1フレーム内の書き込み時間を1ライン目X、2ライン目X+1、X+2……と、デジタル的に順次増加する書き込み時間を作ることは、クロックを計数したりして容易に作ることができる。このVCK信号23aは、一般には、各ラインに接続する画素電極の書き込み電圧に差が発生しないような、補正された書き込み時間となるように、ライン毎の書き込み時間をデジタル的处理して所定量を順次増加させながら作ることができる。

【0048】

本実施形態によれば、補正された書き込み時間により、各ラインに接続する画素電極の書き込み電圧に差が発生しないように出来るので、画面表示の明るさが均一になり、品質の良好な表示を得ることが出来る。特に、本実施形態では、図1のように、1フレーム期間の無効期間Cいっぱいまで、全ゲートラインの書き込み時間を輝度補正のために使用できるので、表示画質を有効に改善することが出来る。

【0049】

図4は本発明の第2の実施形態を説明するタイミング図、図5は図4の実施形態の概略的な構成を示すブロック図である。第2の実施形態は、1ライン周期内で書き込み時間を変化させる場合である。図4に示す様に、本実施形態は、ゲートドライバ3の出力ON/OFFを一括して制御するVOE（ゲートドライバ出力イネーブル）信号24を使用することにより、ソースドライバ2に近い方の画素の書き込み時間を削り、ソースドライバ2から遠くなるに従って削る時間を短くなるよう、書き込み時間（ $X - \beta n : \beta 1 \leq \beta 2 \leq \dots \beta N-2 \leq \beta N-1$ ）を制御することによって、書き込み電圧の差により発生する輝度差の均一化を図るものである。

【0050】

すなわち、Nライン目のゲートライン8の書き込み時間Xを基準にして、順次短くなる書き込み時間をつくり、1ライン目のゲートライン7の書き込み時間 $X - \beta N-1$ 、2ライン目のゲートライン（6）の書き込み時間 $X - \beta N-2$ 、……

、 $N-1$ ライン目のゲートライン(6)の書き込み時間 $X-\beta 1$ 、 N ライン目のゲートライン8の書き込み時間 X となる。

【0051】

この場合も、ライン毎の書き込み時間をデジタル的処理して所定量を順次増加させている。例えば、1ライン目ではDLP信号22の立ち下がりから100CLK(クロック)前にVOE信号24を立ち上げ、2ライン目ではDLP信号22の立ち下がりから99CLK前にVOE信号24を立ち上げると言った様に、することができる。

【0052】

本実施形態は、図5のように、信号処理回路1dとして、従来例と同様のタイミング回路1aに対し、 N 番目の書き込み時間 X に対して前の書き込み時間が減少していくVCK信号23をつくり、これをゲートドライバ出力イネーブルとなるVOE信号24のタイミングとするVOE回路1cが追加されて構成される。

【0053】

本実施形態では、DLP信号22の周期は変更せずに、ゲートドライバ3の出力イネーブル機能を使って、書き込み時間を可変にするので、フレームの無効期間Cにおいて映像データを保管する必要がないので、ラインメモリが不要になるため、第1の実施形態に比べ、安価に実現できるという効果もある。ただし、この場合は、書き込み時間が最大書き込み時間 X であるため、その効果は限定されてしまう。

【0054】

例えば、無効期間が20ライン分あったとすると、この場合、第1の実施形態で最終ラインのデータを書き込む時には、20ライン時間前に入力されたデータを書き込まなくてはならなくなるので、少なくとも20ライン分のデータをメモリしておくラインメモリが必要となる。しかし、本実施形態ではこれが不要である。

【0055】

図6は本発明の第3の実施形態説明するタイミング図、図7は図6の実施形態の概略的な構成を示すブロック図である。第3の実施形態は、第1の実施形態と

第2の実施形態とを組み合わせたものであり、これら実施形態を折衷した効果が期待できる。

【0056】

図6に示すように、ソースドライバ2に近い画素の書込み時間をVOE信号24bを用いて削り、ソースドライバ2から遠くなるに従って削る時間を短くし、あるゲートライン（書込み時間X）6からはVOE信号による書込み時間の削除を無くし、それ以降からの書込みは、第1の実施形態で示した方法を用いて、書き込み時間がソースドライバから遠くなるに従い長くしたVCK信号23bを用いている。

【0057】

すなわち、図6のように、書込み時間XとなるM番目のゲートライン6（但し、 $M < N$ とする）とすると、1ライン目の書込み時間 $X - \beta_1$ 、2ライン目の書込み時間 $X - \beta_2$ 、……M-1ライン目の書込み時間 $X - \beta_{M-1}$ 、M番目のゲートライン書込み時間X、M+1ライン目の書込み時間 $X + \alpha_1$ 、……、N-1ライン目の書込み時間 $X + \alpha_{N-2}$ 、Nライン目の書込み時間 $X + \alpha_{N-1}$ となるように組み合わせる。

【0058】

本実施形態は、図7のように、信号処理回路1eとして、従来例と同様のタイミング回路1aに対し、VCK信号23のタイミングを調整してVCK信号23bをつくるVCK回路1bと、VCK信号23からゲートドライバ出力イネーブルとなるVOE信号24aのタイミングをつくるVOE回路1cとが追加され構成される。これら各信号23b、24aは、第1、第2の実施形態で説明した方法によりつくられる。

【0059】

これら実施形態において、第1の実施形態では画質重視の場合、第2の実施形態ではコスト重視の場合、第3の実施形態は第1、第2の実施形態の折衷案の場合に用いられる。

【0060】

【発明の効果】

以上説明したように、本発明の構成によれば、ドレイン線の分布寄生容量・抵抗に依存して発生するドレイン電圧波形の鈍りを、ゲートライン毎の書き込み時間を変えることにより、各ゲートラインに接続する画素電極の書き込み電圧に差が発生しないように設定できるため、1画面内の輝度差を最小限にすることができ、LCDパネルの画面が暗くなる現象をなくし、高品質の表示画面を得ることができるという効果がある。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を説明する各タイミング信号の波形図。

【図2】

図1の実施形態を説明するブロック図。

【図3】

図1の実施形態を説明する各ライン毎の画素電極電位と書き込み時間の関係の波形図。

【図4】

本発明の第2の実施形態を説明する信号タイミング図。

【図5】

図4の実施形態を説明するブロック図。

【図6】

本発明の第3の実施形態を説明する信号タイミング図。

【図7】

図6の実施形態を説明するブロック図。

【図8】

従来例のアクティブマトリクス型液晶表示装置の概略ブロック図。

【図9】

図8の従来例を説明する各タイミング信号の波形図。

【図10】

図8の各ライン毎の画素電極電位と書き込み時間の関係の波形図。

【図11】

(a) (b) は図 8 の同一階調でのライン毎の輝度変化イメージ図およびその電圧特性図。

【図 1 2】

他の従来例のアクティブマトリクス型液晶表示装置の概略ブロック図。

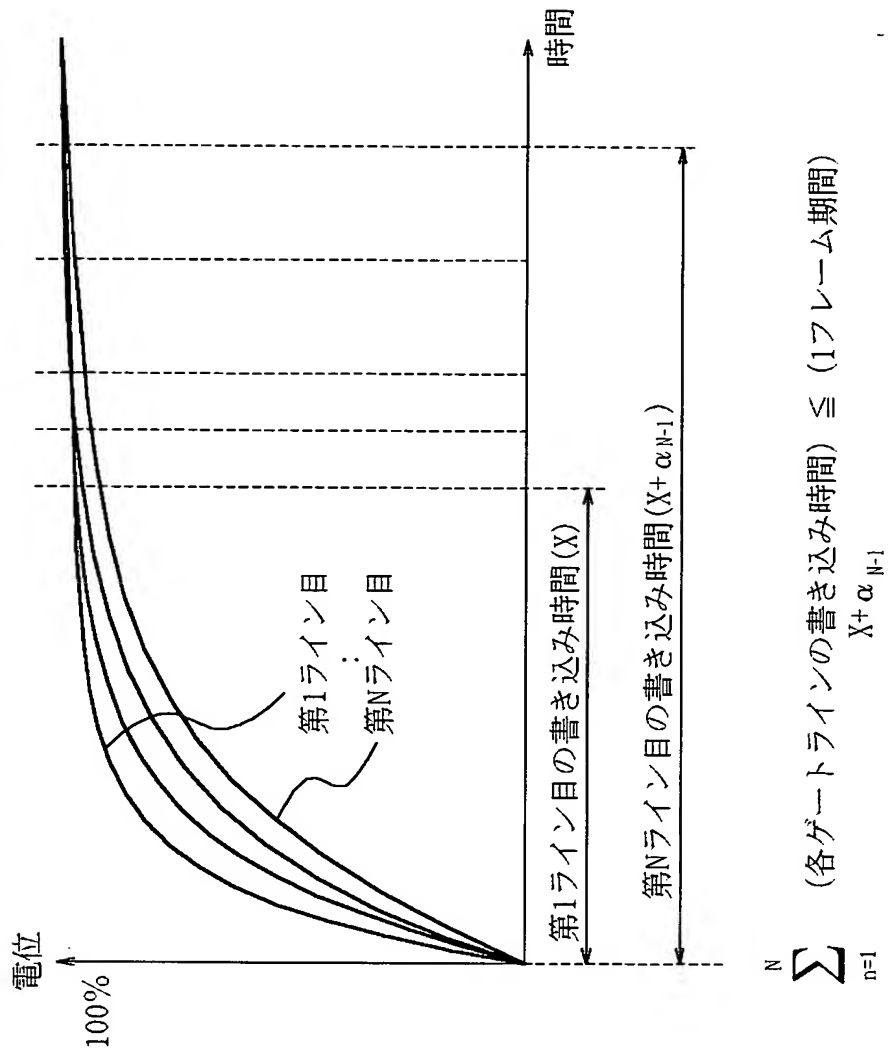
【図 1 3】

図 1 2 を説明する各タイミング信号の波形図。

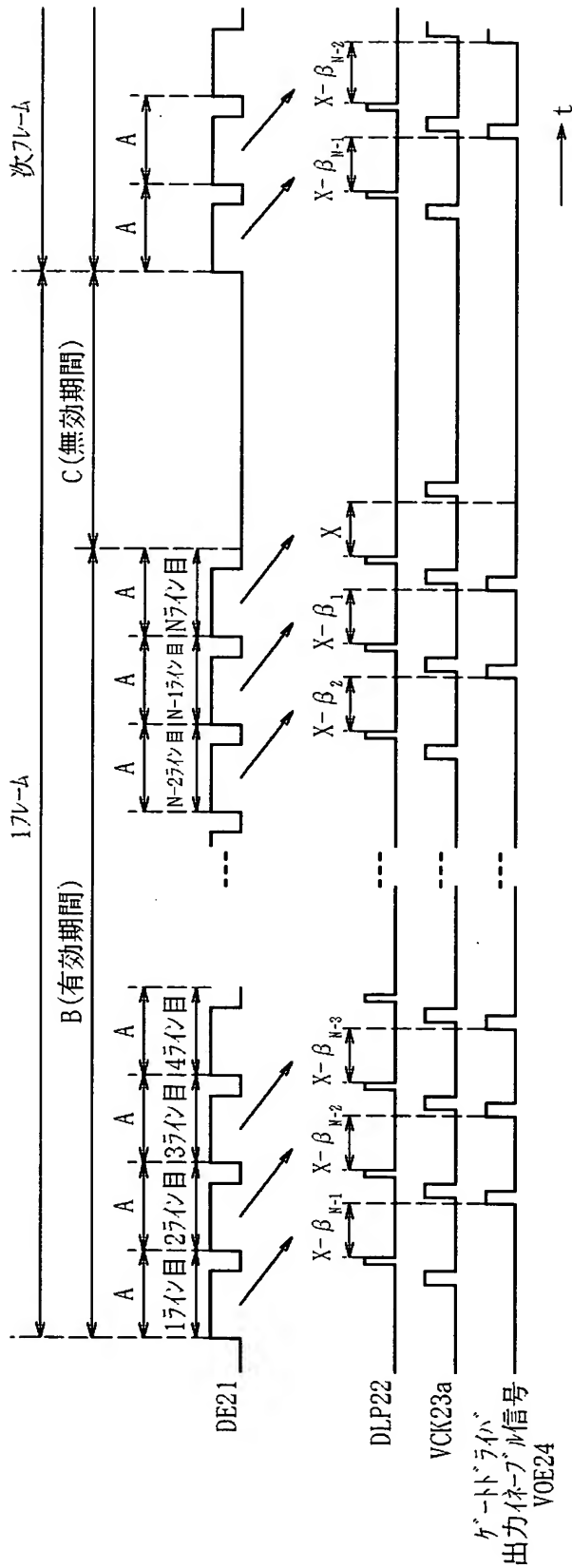
【符号の説明】

- 1, 1 d, 1 e 信号処理回路
- 1 a, 1 f タイミング回路
- 1 b V C K 回路
- 1 c V O E 回路
- 2 ソースドライバ
- 3 ゲートドライバ
- 4, 4 a L C D (液晶) パネル
- 5 ドレインライン
- 6 ゲートライン
- 7 1 ライン目ゲートライン
- 8 N ライン目ゲートライン
- 9 液晶表示装置
- 1 1 T F T
- 1 2 液晶セル
- 1 3 コモン電極
- 2 1 D E (データイネーブル) 信号
- 2 2 D L P (データラッチパルス) 信号
- 2 3, 2 3 a, 2 3 b V C K (ゲートドライバクロック) 信号
- 2 4, 2 4 a, 2 4 b V O E (ゲートドライバ出力イネーブル) 信号

【図 3】

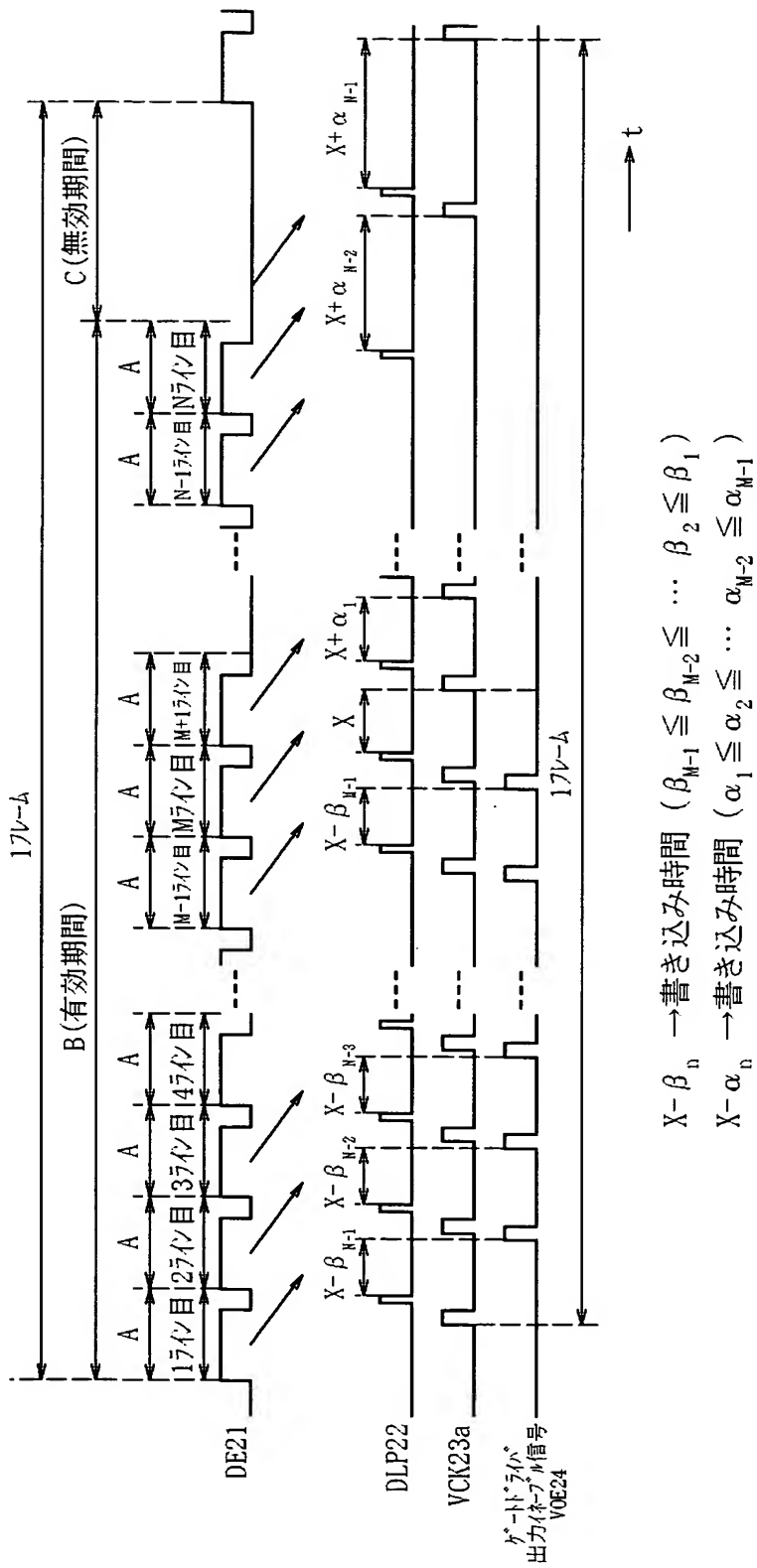


【図 4】

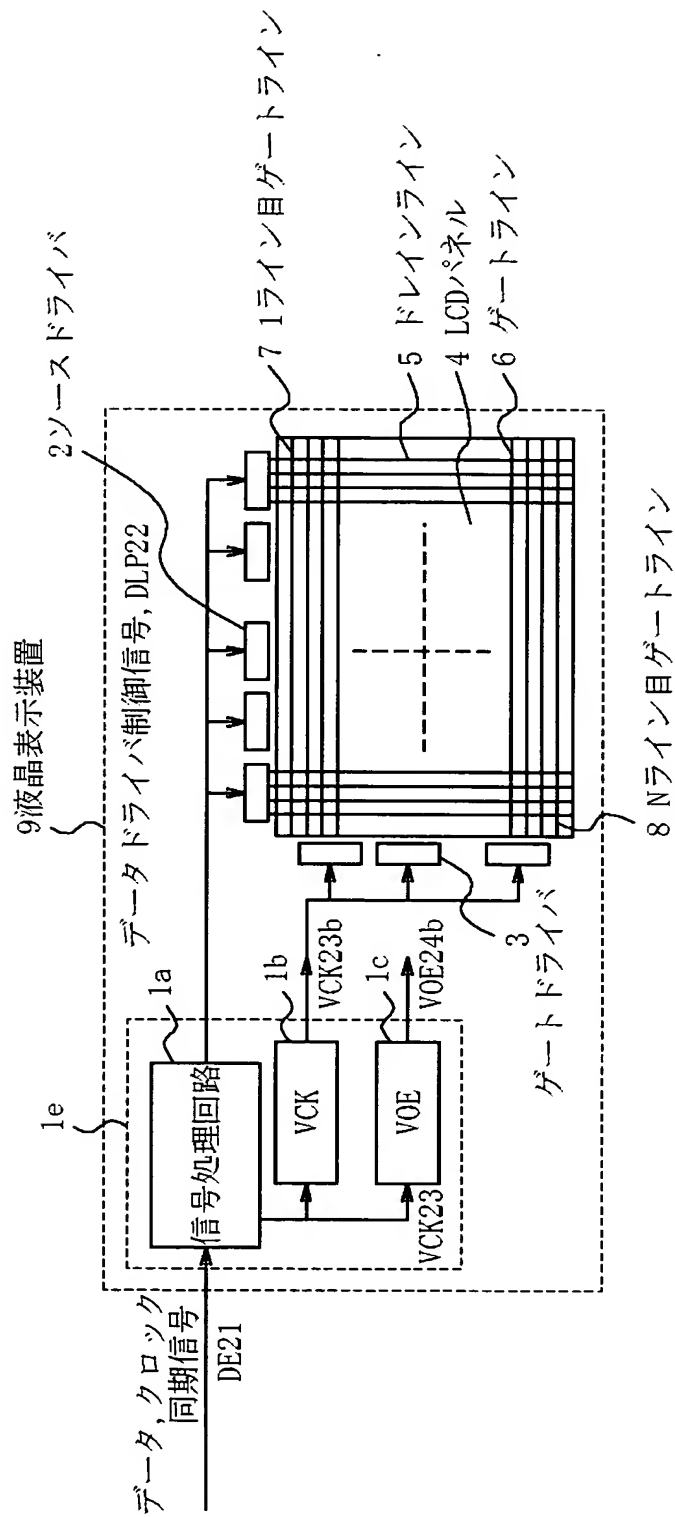


$X-\beta_n \rightarrow$ 書き込み時間 ($\beta_1 \leq \beta_2 \leq \dots \beta_{N-2} \leq \beta_{N-1}$)

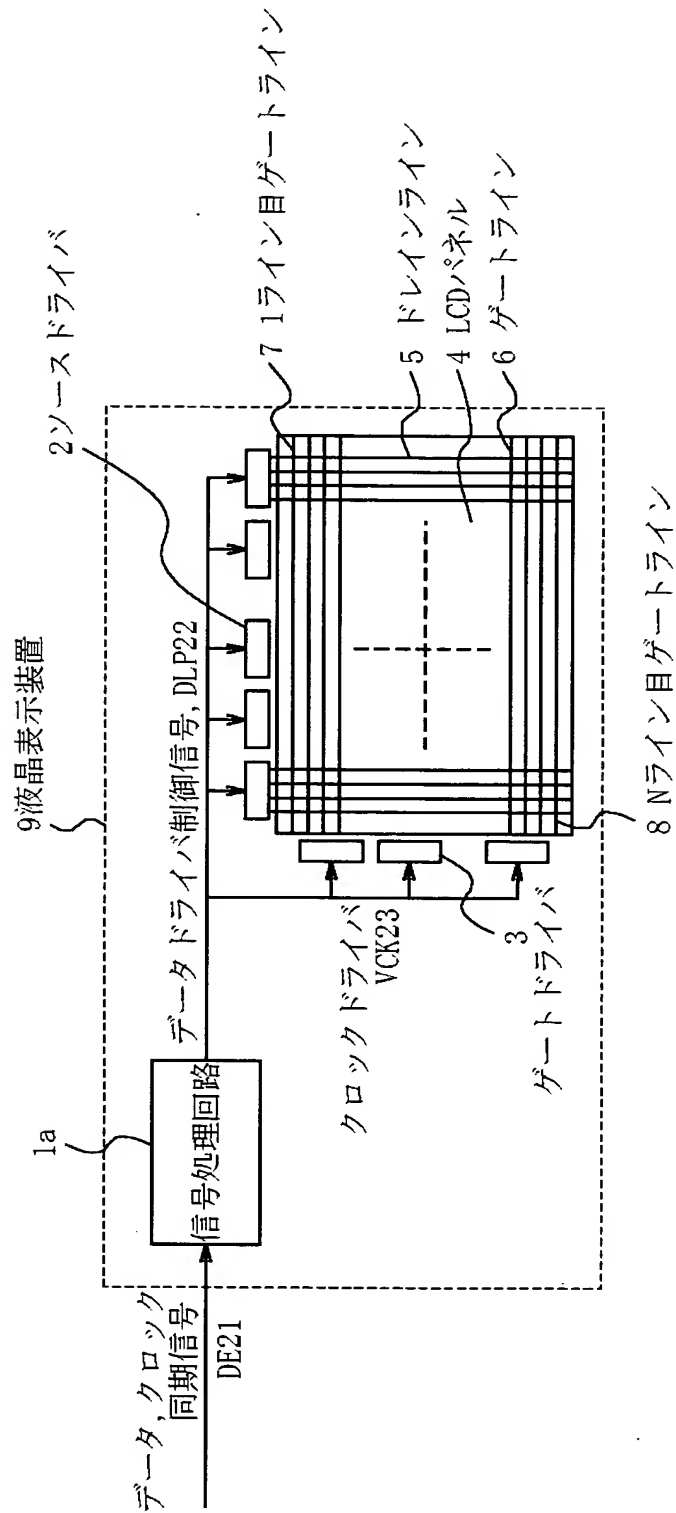
【図 6】


$$X - \beta_n \rightarrow \text{書き込み時間} \quad (\beta_{n-1} \leq \beta_{n-2} \leq \dots \leq \beta_2 \leq \beta_1)$$
$$X - \alpha_n \rightarrow \text{書き込み時間} \quad (\alpha_1 \leq \alpha_2 \leq \dots \leq \alpha_{M-1})$$

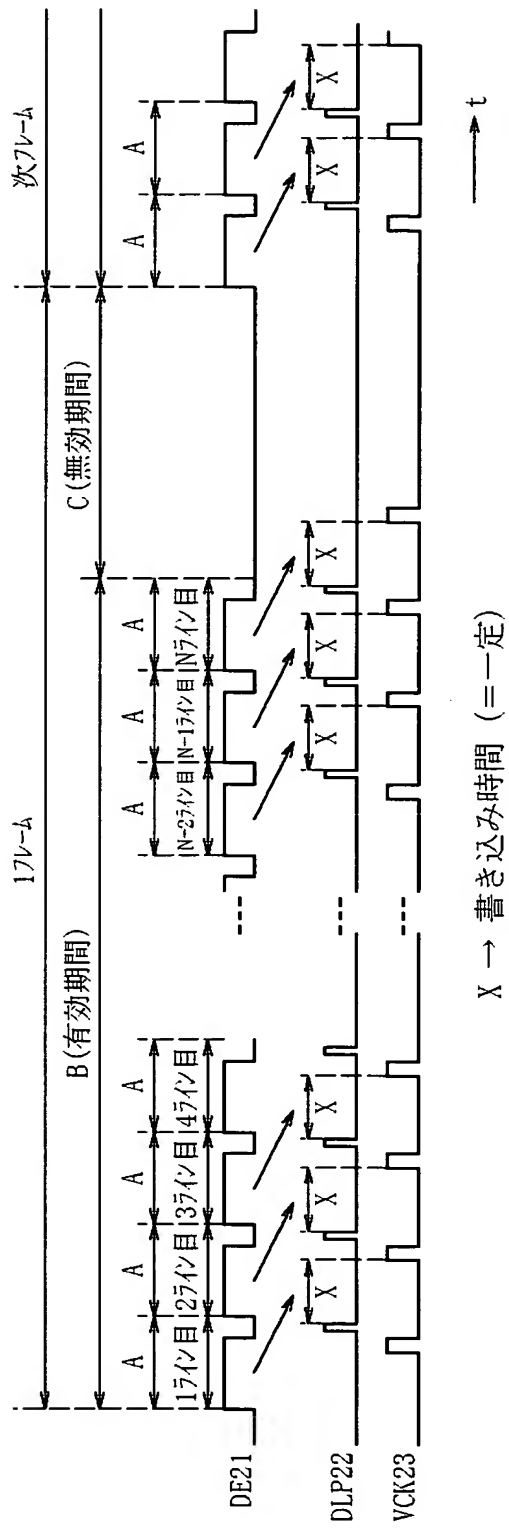
【図 7】



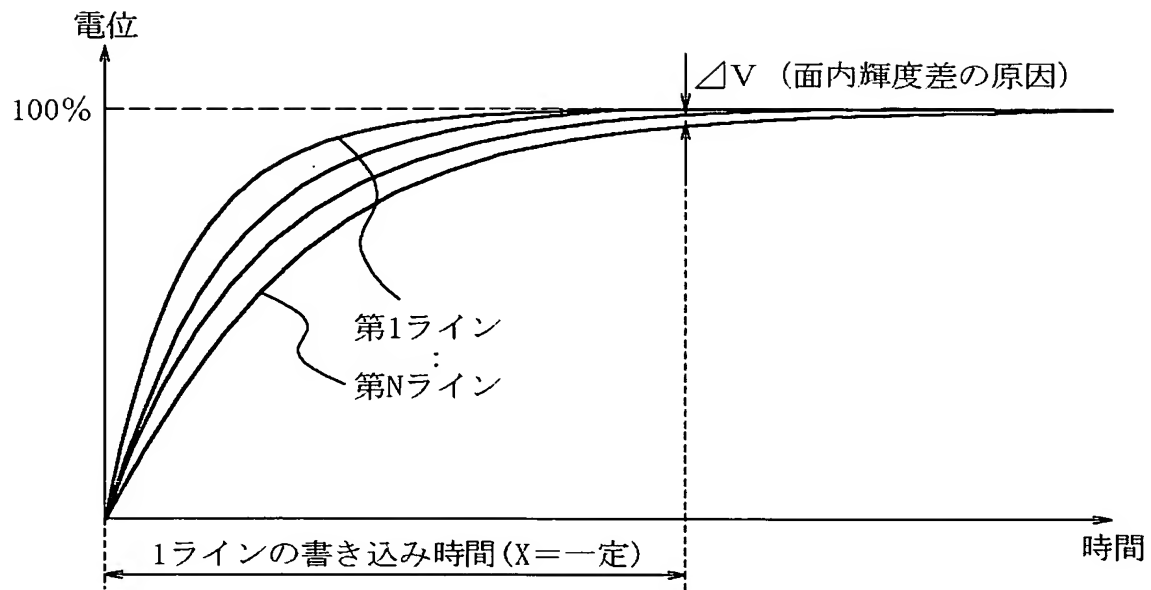
【図 8】



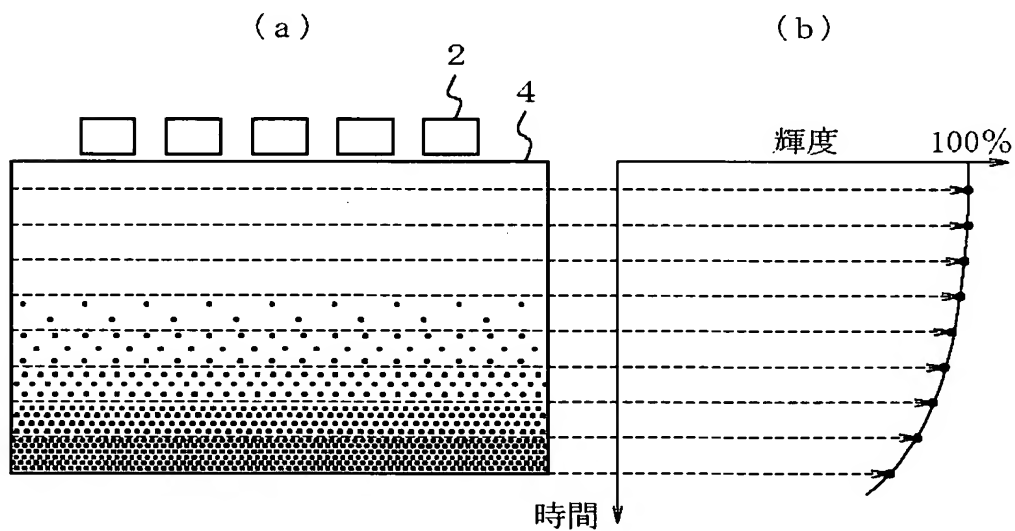
【図 9】



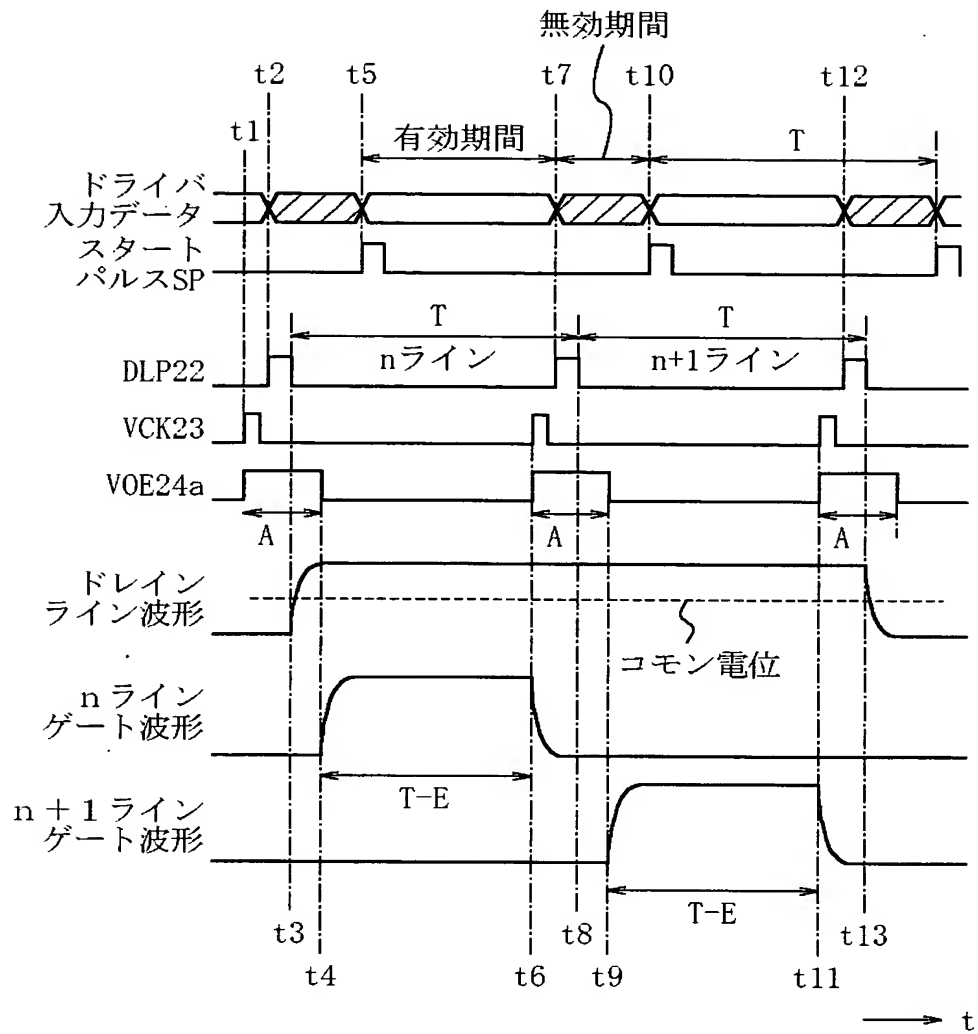
【図 10】



【図 11】



【図 13】



【書類名】 要約書

【要約】

【課題】 液晶（LCD）パネルの信号線の配線遅延によって発生する、同一画面内の輝度差を最小にし、高品質の表示画面を得る。

【解決手段】 液晶パネル 4 を構成する互いに直交配置された複数のゲートライン 6 および複数のド레인ライン 5 をそれぞれゲートドライバ 3 およびドレインドライバ 2 により駆動して前記液晶パネル 4 の表示を行う液晶表示装置において、駆動される前記ゲートライン 6 のドレインドライバ 2 からの幾何学的距離に応じて、前記ゲートライン 6 に対応するラインの書き込み時間（ラッチ信号 DLP 2 とゲートシフトクロック信号 VCK 2 3 a との間隔）を 1 フレーム期間内でゲートライン順に順次増大させるクロック制御手段を有することを特徴とする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-120592
受付番号	50300690758
書類名	特許願
担当官	第二担当上席 0091
作成日	平成15年 4月25日

<認定情報・付加情報>

【提出日】 平成15年 4月24日

次頁無

特願 2 0 0 3 - 1 2 0 5 9 2

出 願 人 履 歴 情 報

識別番号

[3 0 3 0 1 8 8 2 7]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C 液晶テクノロジー株式会社